

MANUFACTURE OF ELECTRONIC DEVICE AND THE ELECTRONIC DEVICE UTILIZING THE SAME

Veröffentlichungsnummer JP11238733

Veröffentlichungsdatum: 1999-08-31

Erfinder: YOSHIKAWA RYOICHI

Anmelder: SONY CORP

Klassifikation:

- Internationale: H01L21/288; H01L21/3205; H01L21/02; (IPC1-7):

H01L21/3205; H01L21/288

- Europäische:

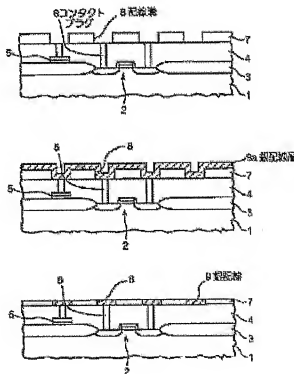
Anmeldenummer: JP19980038452 19980220

Prioritätsnummer(n): JP19980038452 19980220

Datenfehler hier melden

Zusammenfassung von JP11238733

PROBLEM TO BE SOLVED: To obtain an electronic device suitable for forming an interconnection of fine design rule, without imparting high temperature thermal hysteresis with respect to a substrate by employing a step for forming a silver interconnection layer on the substrate through silver mirror reaction and patterning that layer. **SOLUTION:** In a step for forming a silver interconnection on a substrate, a native oxidized film on a contact plug 6 is cleaned by sputter etching, or the like, as required and a silver interconnection layer 9a is formed through silver mirror reaction. In the step for forming a silver interconnection layer 9a through silver mirror reaction, a substrate having interconnecting grooves 8 is immersed into an aqueous solution of ammonia based silver nitrate. Silver nitrite is then reduced by adding a reducing agent, i.e., an aqueous solution of formalin, uniformly into an aqueous solution of ammonia based silver nitrate to deposit a silver interconnection layer 9a. Subsequently, unmasked silver interconnection layer 9a is removed from an upper interlayer insulation film 7 by mechanochemical polishing. Furthermore, only the silver interconnection layer 9a is selectively polished.



Daten sind von der esp@cenet Datenbank verfügbar - Worldwide

(19) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238733

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.*

H 0 1 L 21/3205
21/288

識別記号

F I

H 0 1 L 21/88
21/288B
M

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号

特願平10-38452

(22) 出願日

平成10年(1998) 2月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 吉川 良一

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(54) 【発明の名称】 電子装置の製造方法およびこれを用いた電子装置

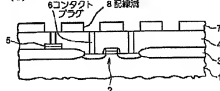
(57) 【要約】

【課題】 微細で低抵抗の銀配線を用いた、高集積度半導体装置等の電子装置およびその製造方法を提供する。

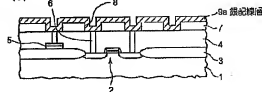
【解決手段】 基板上に、銀鏡反応により銀配線層 9 a を形成し、これを CMP やエッチングによりパターニングして銀配線 9 を形成する。

【効果】 銀配線層は室温程度で形成でき、基板に過度の熱履歴を与えることがない。また形成される銀配線層は鏡面を有し、微細加工に適する。

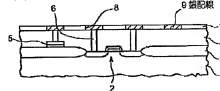
(d)



(e)



(f)



【特許請求の範囲】

【請求項1】 基板上に銀配線を形成する工程を有する電子装置の製造方法であって、

前記銀配線の形成工程は、

前記基板上に銀配線層を銀鍍反応により形成する工程と、

前記銀配線層をパターニングする工程とを具備することを特徴とする電子装置の製造方法。

【請求項2】 前記パターニング工程は、

化学的機械研磨法によることを特徴とする請求項1記載の電子装置の製造方法。

【請求項3】 請求項1記載の電子装置の製造方法を含んで製造されたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電子装置の製造方法およびこれを用いた電子装置に関し、さらに詳しくは、低抵抗の銀を配線材料に用いた、高集積度半導体装置等の電子装置の製造方法およびこれを用いた電子装置に関する。

【0002】

【従来の技術】 ULSI (Ultra Large Scale Integrated Circuits) 等の半導体装置の高集積度が進展するに伴い、配線の微細化が必要となっている。MIS (Metal Insulator Semiconductor) 型トランジスタ等を集積した半導体装置においては、デザインルールの微細化にもとない、トランジスタのチャネル低抵抗は低くなるものの、配線抵抗は逆に増大する。特に高速ロジック系の半導体装置をはじめとする半導体装置の低消費電力化、動作速度の高速化等の要求に応えるためには、低抵抗の配線材料の採用、ならびにこれらの製造プロセス技術の高度化が、低消費電力半導体装置の採用とともに、要素技術の1つとして重要性を増している。

【0003】 従来より半導体装置の配線材料として、Al-Si、Al-Si-Cu等のAl系金属が採用されてきた。近年ではAl系金属に比較して低抵抗のCu系金属が注目され、開発試作段階となっている。またCu系金属よりさらに低抵抗の配線材料として、銀 (Ag) の採用が検討されている。各配線材料の比抵抗を次に示す。

Al : $2.65 \mu\Omega \cdot \text{cm}$

Cu : $1.72 \mu\Omega \cdot \text{cm}$

Ag : $1.62 \mu\Omega \cdot \text{cm}$

すなわち、同じ配線デザインルールであれば、銀配線の採用により、Al系金属配線の60%程度に配線抵抗を低減することが可能となる。

【0004】 基板上に銀配線層を形成する手法として、Ag粉末を含むペーストをコーティングする方法 (特開平7-73730号公報) や、気化可能なAg化合物を原料ガスとする化学気相成長法 (特開平7-122

642号公報) 等が知られている。

【0005】

【発明が解決しようとする課題】 しかしながら、Ag粉末を含むペーストをコーティングする方法では、配線微細化の要求に充分応えることは困難である。また化学的気相成長法においては、基板温度が数百℃に達することから、不所望の熱履歴を基板に対して与える場合がある。

【0006】 本発明はこのような問題点に鑑み提案するものであり、微細なデザインルールの配線を形成するのに適した、また高温の熱履歴を基板に対して与えることのない銀配線の形成方法を有する電子装置の製造方法を提供することである。また本発明の別の課題は、かかる製造方法により製造され、低抵抗かつ微細な銀配線を有した、高速動作、低消費電力の電子装置を提供することである。

【0007】

【課題を解決するための手段】 上述した課題を達成するため、本発明の電子装置の製造方法は、基板上に銀配線を形成する工程を有する電子装置の製造方法であって、この銀配線の形成工程は、基板上に銀配線層を銀鍍反応により形成する工程と、この後、この銀配線層をパターニングする工程とを具備することを特徴とする。また本発明の電子装置は、かかる電子装置の製造方法を含んで製造されたことを特徴とする。

【0008】 本発明における銀配線は、純銀の他に、銀鍍反応による共析出が可能であれば、不純物を含む銀合金であってもよい。また銀配線層のパターニング工程においては、レジストマスクや無機材料系マスクを用いたスパッタエッチング、反応性エッチング、ウェットエッチングあるいは化学的機械研磨法 (CMP; Chemical Mechanical Polishing) 等を採用することができ、これらの中でもCMPを採用することが望ましい。

【0009】 本発明における電子装置としては、上述した高集積度半導体装置の他に、薄膜インダクタ、薄膜コイル、マイクロマシンあるいは磁気ヘッド装置等、低抵抗の配線あるいは導電回路を有するものであれば、あらゆる電子装置に適用することができる。

【0010】 銀鍍反応により形成される銀配線層は、極めて平滑な表面を有し、したがって微細な配線をパターンニングすることができる。また銀鍍反応は室温で進行するので、基板に対し不要の熱履歴を与えることがない。またスパッタリングや化学的気相成長のための真空装置や熱処理装置等の化学的気相成長のための装置が不要で、簡便に製造することができる。

【0011】

【発明の実施の形態】 以下、本発明の電子装置の製造方法、およびこれにより製造された電子装置の実施の形態例につき、図面を参照しながら説明する。まず本発明を含んで製造された電子装置の一例である半導体装置を、

図1に示す要部概略断面図を参照して説明する。

【0012】図1において、シリコン等の半導体基板1に形成された素子分離領域3の間に、MISTランジスタ2が形成されている。素子分離領域3上には下層配線5が延在しており、これらの構造物上に層間絶縁膜4が形成されている。この層間絶縁膜4には、MISTランジスタ2のソース・ドレイン領域、および下層配線5に臨み接続孔が開孔されており、この接続孔内にはコンタクトプラグ6が埋め込まれている。さらに、層間絶縁膜4上には上層層間絶縁膜7が形成されており、上層層間絶縁膜7には、このコンタクトプラグ6に臨んで配線溝8が形成されている。そしてこの配線溝8内には、本発明が適用された、銀鏡反応による成膜工程およびパターニング工程を含んで形成された銀配線9が埋め込み形成されている。

【0013】【実施の形態例1】つぎに、図1に示した電子装置の一例である半導体装置の製造方法を、図2～図3を参照して説明する。

【0014】まず図2(a)に示すように、シリコン等の半導体基板1上に素子分離領域3を選択熱酸化法等により形成し、さらにMISTランジスタ2、このMISTランジスタ2のゲート電極から延在する下層配線5等を形成する。ゲート電極および下層配線5は、例えばタングステンポリサイドから形成されている。つぎに減圧CVD法等により、酸化シリコン、あるいは不純物を含む酸化シリコン等の材料により、層間絶縁膜4を形成する。この後、反応性イオンエッチング(RIE; Reactive Ion Etching)等により、MISTランジスタ2のソース・ドレイン領域、および下層配線5に臨む接続孔を開孔し、ここに選択CVDによりW(タングステン)等のコンタクトプラグ6を埋め込む。コンタクトプラグ6は、プラケットCVDとこれに引き続くエッチバックあるいはCMPにより埋め込み形成してもよい。またこのコンタクトプラグ6は、多結晶シリコンやA1系金属等の導電材料により形成してもよい。こゝまでの工程は、常法に準じて形成することができる。

【0015】つぎに図2(b)に示すように、減圧CVDやプラズマCVD等により、酸化シリコンや不純物を含む酸化シリコン等の上層層間絶縁膜7を例えば500nmの厚さに形成する。この上層層間絶縁膜7は、低誘電率材料であるフッ素を含む酸化シリコン(SiOF)や有機SOG(Spin On Glass)、ポリパラキシレン等の炭化水素系樹脂、サイトップ(商品名)等のフッ素系樹脂により形成すれば、配線間容量の低減に寄与する。樹脂系材料は、周知のスピンコーティング法により形成することができる。

【0016】さらに図2(c)に示すように、上層層間絶縁膜7上にレジストマスク10を形成し、これをエッチングマスクとして上層層間絶縁膜7をエッチングし、配線溝8を形成する。上層層間絶縁膜7が樹脂系材料の

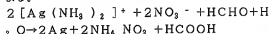
場合は、酸化シリコンやSOG等の無機系マスクをエッチングマスクとして用いる。配線溝8の幅は例えば0.25μmであり、これらはコンタクトプラグ6に臨んで開口される。

【0017】この後図3(d)に示すように、レジストマスク10を剥離液で剥離、あるいはアッシング除去する。この図3(d)に示す状態が、銀配線を形成すべき基板に相当する。

【0018】つぎに、必要に応じてコンタクトプラグ6上の自然酸化膜(不図示)をスパッタエッチング等によりクリーニングし、銀鏡反応により図3(e)に示すように銀配線層9aを形成する。上層層間絶縁膜7が炭化水素系樹脂やフッ素系樹脂の場合には、やはりスパッタエッチング等の手法により、その表面を緩水処理しておくことが望ましい。

【0019】銀鏡反応による銀配線層9aの形成工程は、つぎの各工程を含む。まず硝酸銀水溶液に希薄アンモニア水を添加し、アンモニア性硝酸銀水溶液を準備する。このアンモニア性硝酸銀水溶液中に、先の配線溝8を開口した図3(d)に示す基板を浸漬する。

【0020】つぎに、別途用意した還元剤としてのホルマリン水溶液(ホルムアルデヒド; HCHO)を純水に溶解したもの(を)、先のアンモニア性硝酸銀水溶液中に均一に添加することにより、アンモニア性硝酸銀を還元し、銀配線層9aを析出させる。この銀鏡反応は次式による。



還元剤としては、ホルマリン水溶液の他に、還元糖や酒石酸あるいはその塩類等の水溶液を用いてもよい。銀鏡反応は、反応水溶液に界面活性剤を添加したり、超音波を印加することにより、ピンホールやボイド等の発生を抑制することができる。さらに、アンモニア性硝酸銀水溶液とホルマリン水溶液とを、個別のノズルから基板上に噴出して、基板上で両者を反応させて銀配線層を形成してもよい。

【0021】一回の銀鏡反応により形成される銀層の堆積厚さは、条件にもよるが通常100nm前後である。したがって、銀鏡反応を複数回繰り返すことにより、数百nmの厚さの銀配線層9aを形成する。銀鏡反応を一回施した後、これにより形成された銀層を電極あるいは通電層として、周知の電解めっきにより所望の厚さの銀配線層9aとしてもよい。

【0022】この後、CMPにより、上層層間絶縁膜7上にも形成された不要の銀配線層9aを除去する。CMP条件は特に限定されないが、通常のコロイダルシリカを用いた研磨スラリーを用いてよい。また特開平7-122642号公報に詳述されているように、 $I_2 + KI$ の混合水溶液を研磨液として使用することもできる。この方法は、研磨剤を特に必要としないので、研磨むらが少

なく、また銀配線層9aのみを選択的に研磨できる利点を有する。研磨終了後の状態を図3(f)に示す。図3(f)の状態は、上層層間絶縁膜7の表面をも研磨して完全平坦化を図った状態である。

【0023】実施の形態例2】上述した実施の形態例1は、銀鏡反応により配線溝に銀配線を埋め込んだ、いわゆるダマシブプロセス(Damascene Process)の例である。本発明は、この例に限定されず、層間絶縁膜4に形成された接続孔と、配線溝8を同時に銀鏡反応により銀配線層9aで埋め込み、これにCMPを施すことにより、銀によるコンタクトプラグ6と、銀配線9を同時に形成する、いわゆるデュアルダマシブプロセス(Dual Damascene Process)に適用してもよい。つぎにこの方法を図4～図5を参照して説明する。

【0024】まず図4(a)に示すように、シリコン等の半導体基板1上に素子分離領域3を選択熱酸化法等により形成し、さらにMISトランジスタ2、このMISトランジスタのゲート電極から延在する下層配線5等を形成する。つぎに減圧CVD法等により、酸化シリコン、あるいは不純物を含有する酸化シリコン等の材料により、層間絶縁膜4を形成する。この層間絶縁膜4の材料として、先に示した低誘電率材料を用いてもよい。また酸化シリコン系材料上に低誘電率材料を形成した積層絶縁膜としてもよい。

【0025】この後、接続孔の開口パターンを有するレジストマスクと、配線溝の開口パターンを有する2種類のレジストマスクを逐次使い、MISトランジスタ2のソース・ドレイン領域、および下層配線5に臨む接続孔11を開口し、さらにこの接続孔11に位置合わせして配線溝8を形成する。図4(a)に示す状態は、配線溝の開口パターンを有するレジストマスク10により、配線溝8が形成された状態を示す。層間絶縁膜4が樹脂系材料の場合は、酸化シリコンやSiO₂等の無機系マスクをエッチングマスクとして用いる。また層間絶縁膜4の材料として、酸化シリコン系材料と低誘電率材料との積層絶縁膜を用い、両層の境界面においてエッチングストップ効果が得られ、配線溝8のエッチング深さの制御性が向上する利点がある。

【0026】この後図4(b)に示すようにレジストマスク10を剥離液で剥離、あるいはエッチング除去する。この図4(b)に示す状態が、銀配線を形成すべき基板に相当する。

【0027】つぎに、必要に応じて接続孔11底部の自然酸化膜(不図示)をスパッタエッチング等によりクリーニングし、銀鏡反応により図5(c)に示すように銀配線層9aを形成する。層間絶縁膜4が炭化水素系樹脂やフッ素系樹脂の場合には、やはりスパッタエッチング等の手法により、その表面を親水化処理しておくことが望ましい。銀鏡反応の反応過程は実施の形態例1と同じである。ただし本実施の形態例では、アスペクト比の大

き接続孔11内部に銀配線層9aをピンホールやボイドの発生なく埋め込む必要があり、反応液溶液に界面活性剤を添加したり、超音波を印加することが望ましい。また銀鏡反応により薄い銀層を形成後、これを通電層として周知の電解銀めっきにより、所望の厚さの銀配線層9aとしても良い。

【0028】この後、CMPにより、層間絶縁膜4上にも形成された不要の銀配線層9aを除去して銀配線9およびコンタクトプラグ6を埋め込み形成する。CMP条件は先に示した条件と同じでよい。研磨終了後の状態を図5(d)に示す。図5(d)の例は、層間絶縁膜4表面をも研磨して完全平坦化を図った例である。

【0029】本実施の形態例は、銀鏡反応により接続孔および配線溝に銀によるコンタクトプラグおよび銀配線を同時に埋め込んだ、デュアルダマシブプロセスの例である。

【0030】以上の2例は、配線溝に銀配線を埋め込む例であったが、平坦な層間絶縁膜上に銀配線層を形成し、これをエッチングによりパターニングしてもよい。銀配線層のエッチングは、Arイオン等を用いたスパッタエッチングを採用すればよい。また本願出願人が先に特開平7-130716号公報として開示したように、NO_x系ガスをを用いたRIEによってもよい。

【0031】本発明の電子装置が適用される例として、高集積度半導体装置を例示したが、この他にも低抵抗の配線あるいは導電層が必要とされる薄膜インダクタ、誘電コイル、マイクロマシンあるいは磁気ヘッド装置等、各種電子装置に適用することができる。

【0032】

【発明の効果】以上の説明から明らかなように、本発明の電子装置の製造方法によれば、微細で低抵抗の銀配線を、基板に過度の熱負荷を与えることなく、また真空成膜装置等の複雑な製造設備を採用することなく製造することができる。したがって、配線抵抗が低減され、高速度動作かつ低消費電力の高集積度半導体装置等の電子装置を、信頼性高く提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の電子装置の要部を示す概略断面図である。

【図2】本発明の電子装置の製造方法を示す概略断面図である。

【図3】本発明の電子装置の製造方法を示す概略断面図であり、図2に続く工程を示す。

【図4】本発明の他の電子装置の製造方法を示す概略断面図である。

【図5】本発明の他の電子装置の製造方法を示す概略断面図であり、図4に続く工程を示す。

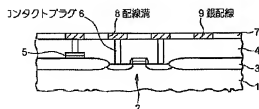
【符号の説明】

1…半導体基板、2…MISトランジスタ、3…素子分離領域、4…層間絶縁膜、5…下層配線、6…コンタクト

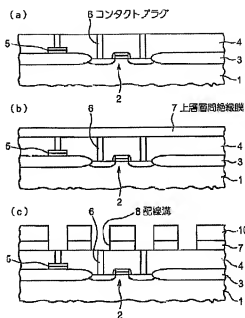
トプラグ、7…上層層間絶縁膜、8…配線溝、9…銀配線
線、9a…銀配線層、10…レジストマスク、11…接

続孔

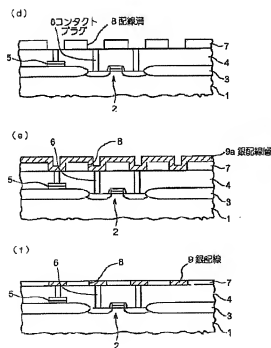
【図1】



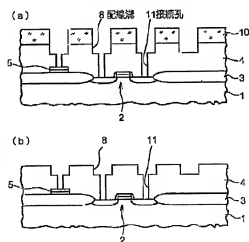
【図2】



【図3】



【図4】



【圖5】

